

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-120851

(43)Date of publication of application : 23.05.1991

(51)Int.Cl.

H01L 23/28
// H01L 21/338
H01L 29/812

(21)Application number : 01-259677

(71)Applicant : IBIDEN CO LTD

(22)Date of filing : 04.10.1989

(72)Inventor : KOSAKA KATSUMI
UKAI KOJI

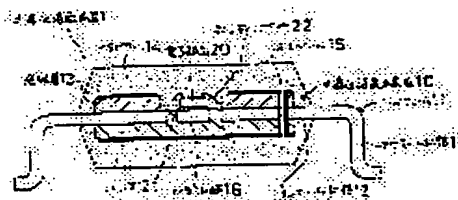
(54) SEMICONDUCTOR MOUNTING SUBSTRATE

(57)Abstract:

PURPOSE: To restrict any stray inductance to a low level thereby enabling the whole impedance to be controlled as well as any noise to be abated by a method wherein an insulating layer is formed on the surface and the rear of an inner lead part, and a better pattern for impedance adjustment is formed almost on the whole surface of the insulating layer and so forth.

CONSTITUTION: An insulating layer 13 is formed on the surface and the rear of the inner lead part 12 of a lead frame 11 whereon a semiconductor element 20 is mounted and then a better pattern 14 for impedance adjustment is formed almost on the whole surface of the insulating layer 13 so as to make the inner lead part 2 a strip line while the better pattern 14 and the lead frame 14 are electrically connected through the intermediary of a through hole 15 formed through the insulating layer 13.

Next, for example, the ECL element 20 is diebonded onto an island part 16 of the lead frame 11 of a semiconductor mounting substrate 10 as so far mentioned; contact elements of ECL element 20 and the inner lead part 12 are wire-bonded to each other; and then an outer lead parts 17 are removed so that the whole body may be transfer-molded to manufacture a semiconductor mounting device 1.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11)特許番号

第2740969号

(45)発行日 平成10年(1998) 4月15日

(24)登録日 平成10年(1998) 1月30日

(51)Int.Cl. ⁸	識別記号	F I	
H 0 1 L 23/28		H 0 1 L 23/28	A
23/29		23/30	B
23/31		29/80	G
// H 0 1 L 21/338			
29/812			

請求項の数1(全 5 頁)

(21)出願番号	特願平1-259677	(73)特許権者	999999999 イビデン株式会社 岐阜県大垣市神田町2丁目1番地
(22)出願日	平成1年(1989)10月4日	(72)発明者	匂坂 克己 岐阜県大垣市青柳町300番地 イビデン 株式会社青柳工場内
(65)公開番号	特開平3-120851	(72)発明者	鵜飼 耕士 岐阜県大垣市青柳町300番地 イビデン 株式会社青柳工場内
(43)公開日	平成3年(1991)5月23日	(74)代理人	弁理士 廣江 武典
審査請求日	平成8年(1996)7月19日	審査官	廣野 知子
		(56)参考文献	特開 昭60-195955 (J P, A) 特開 昭60-97646 (J P, A)

(54)【発明の名称】 半導体搭載用基板

1

(57)【特許請求の範囲】

【請求項1】半導体素子が搭載されるリードフレームのインナーリード部の表面及び裏面に絶縁層を形成し、この絶縁層の表面の略全面に、前記インナーリード部がストリップ線路となるようインピーダンス調整用のベタパターンを形成するとともに、このインピーダンス調整用のベタパターンと前記リードフレームとを前記絶縁層を通して形成したスルーホールを介して電氣的に接続したことを特徴とする半導体搭載用基板。

【発明の詳細な説明】

(産業上の利用分野)

本発明は、半導体素子が電氣的に接続されるリードフレームを有し、半導体素子が搭載されることによって半導体搭載装置となる半導体搭載用基板に関する。

(従来技術)

2

従来、この種の半導体搭載用基板としては、第5図に示すようなものが広く知られている。この半導体搭載用基板(110)は、基本的にはリードフレーム(111)のみからなり、リードフレーム(111)のアイランド部(116)半導体素子(20)をハンダ(21)によりダイボンディングし、半導体素子(20)のコンタクト端子とリードフレーム(111)インナーリード部(112)をワイヤーボンディングした後、アウターリード部(117)除いた全体をトランスファーモールドすることによって、半導体搭載装置(100)するようになっている。

(発明が解決しようとする課題)

近年、この種の半導体搭載用基板(110)にあっては、高速動作の半導体素子(20)(以下、高速素子(20)と略す)を搭載可能にすること、及びこれに伴ってリード(入出力ピン)の数を増加させること(多ピン

化)が強く望まれている。

この種の半導体搭載用基板(110)に高速素子(20)を搭載して半導体搭載装置(100)とし、マザーボード等に実装する場合には、同じマザーボード等実装されている他の半導体搭載装置等の高速動作の妨げにならないよう、インピーダンスを所定の値(例えばECL素子を搭載する場合には50Ω)に合わせる必要がある。しかしながら、従来の半導体搭載用基板(110)にあっては、リードの幅、絶縁層(113)の厚み、及び絶縁層(113)の誘電率等を調整することによっても、インピーダンスを所定の値に合わせることは不可能であり、またノイズを抑え難かった。なぜなら、従来の半導体搭載用基板(110)は、インナーリード部(112)がストリップ線路或いはマイクロストリップ線路とはなり得ず、浮遊インダクタンスが大きくなってしまいうからである。また、ECL素子等の高速素子(20)はいくつかのレベルの電源が必要であり、このような高速素子(20)を搭載する場合には、電源のリンキングをなくすために多くの電源用のリードを増さなければならず、リードの数が増加するに伴って外形サイズが大きくなり、その結果インナーリードが長くなって、浮遊インダクタンスが大きくなってしまいうからである。

さらに、ECL素子やGaAs素子等の高速素子(20)を搭載する場合には、このような高速素子(20)は作動速度が速い反面、消費電力が大きく、発熱し易いため、放熱性を充分高めておく必要があるが、従来の半導体搭載用基板(110)にあっては放熱性が不十分であった。

また、高速素子(20)は外来ノイズの影響を受け易いため、確実にシールドする必要があるが、従来の半導体搭載用基板(110)にあっては、搭載された高速素子(20)を確実にシールドすることができなかった。

従って、従来の半導体搭載用基板(110)にあっては、多ピン的高速素子(20)を搭載し、高密度な半導体搭載装置(100)とすることがほとんど不可能であった。

(課題を解決するための手段)

以上のような課題を解決するために、本発明の採った手段は、第1図～第4図に示すように、

「半導体素子(20)が搭載されるリードフレーム(11)のインナーリード部(12)の表面及び裏面に絶縁層(13)を形成し、この絶縁層(13)の表面の略全面に、前記インナーリード部(12)がストリップ線路となるようインピーダンス調整用のベタパターン(14)を形成するとともに、このインピーダンス調整用のベタパターン(14)と前記リードフレーム(11)とを前記絶縁層(13)を通して形成したスルーホール(15)を介して電気的に接続したことを特徴とする半導体搭載用基板(10)」である。

本発明に係る半導体搭載用基板(10)にあっては、リ

ードフレーム(11)の材質、形状等は特に限定されない。しかしながら、リード幅を一定にしておけば、特にインピーダンスの理論計算を容易にすることができる。

また、絶縁層(13)の材質、形状等にあっても特に限定されず、ガラスエポキシ、ポリアミド、アルミナ、ポリフェニレンサルファイド等のいわゆる半導体素子用の材料として一般的に用いられるものによって所望の形状に形成すればよい。

さらに、インピーダンス調整用のベタパターン(14)(以下、ベタパターン(14)と略す)の材質、形状等にあっても特に限定されず、この半導体搭載用基板(10)を多層構造とする場合には、ベタパターン(14)は必ずしも最表層に形成しなくてもよく、内層に形成してもよい。また、ベタパターン(14)は、分割してグラウンドや数種の電源として利用してもよく、必要に応じてベタパターン(14)を利用したグラウンド-電源間にコンデンサを搭載してもよい。さらに、ベタパターン(14)の材質は、例えば絶縁層(13)がアルミナによって形成されている場合には42アロイとする等、絶縁層(13)と熱膨張率を合わせるようにするのが好ましく、必要に応じて80Ni/20Feのようなパーマロイによって形成し、磁気シールド性を持たせてもよい。

また、スルーホール(15)は貫通でも非貫通でもよく、リードフレーム(11)との電気的接続は、メッキでも導電性ペーストでもよい。

さらに、搭載した半導体素子(20)との接続は、ベタパターン(14)を利用したグラウンドや電源にボンディングワイヤ(22)を直接接続するようにしてもよい。

(発明の作用)

本発明が上述のような手段を採ることにより、以下に示すような作用がある。

半導体素子(20)が搭載されるリードフレーム(11)のインナーリード部(12)の表面及び裏面に絶縁層(13)を形成し、この絶縁層(13)の表面の略全面に、インナーリード部(12)がストリップ線路となるようベタパターン(14)を形成するとともに、このベタパターン(14)とリードフレーム(11)とを絶縁層(13)を通して形成したスルーホール(15)を介して電気的に接続したことにより、多ピン的高速素子(20)を搭載して半導体搭載装置(1)とした場合であっても、浮遊インダクタンスを小さく抑え、全体のインピーダンスをコントロールすることができるようになっている。また、ノイズの発生を抑制することができるようになっている。

また、ベタパターン(14)が放熱部材としても作用し、高速素子(20)から発せられる熱を効率良く放熱することができるようになっている。(特に、高速素子の裏面側に凹部を形成すればより効果的である。)

さらに、ベタパターン(14)がシールド壁としても作用し、外部からのノイズの侵入を阻止するとともに、外部へのノイズの放出を阻止することができ、高速素子

(20)を確実にシールドすることができるようになって
いる。

また、ベタパターン(14)は分割してグランドや数種
のレベルの電源として利用することができ、ピン数を減
少させ、ノイズの影響を受け難いコンパクトな半導体搭
載用基板(10)、ひいては半導体搭載装置(1)とする
ことができるようになっていく。

さらに、半導体素子(20)の裏面側に分割されないベ
タパターン(14)を形成すれば、封止性が向上し、信頼
性が向上するようになっていく。

また、ベタパターン(14)とリードフレーム(11)と
の接続がスルーホール(15)を介してなされるため、ボ
ンディングワイヤによって接続した場合に比し、電気容
量を大きく、表面積を増すことができ、放熱性が向上す
るようになっていく。

さらに、絶縁層(13)が構造材としても作用するた
め、必ずしもトランスファーモールドしなくてよいよう
になっている。

(実施例)

以下、図面に示す実施例に従って本発明を詳細に説明
する。

実施例1

まず、銅からなる金属板にエッチング加工を施すこと
により、所望形状のリードフレーム(11)を形成し、こ
のリードフレーム(11)のインナーリード部(12)の表
面及び裏面に、ガラストリアジンからなる絶縁層(13)
を形成した。

次に、絶縁層(13)及びインナーリード部(12)を貫
通する貫通孔を形成した後、絶縁層(13)の表面の略全
面に、インナーリード部(12)がストリップ線路となる
よう、銅メッキによりベタパターン(14)を形成すると
ともに、このベタパターン(14)とリードフレーム(1
1)とを電気的に接続するスルーホール(15)を形成
し、本発明に係る第1図及び第2図に示すような半導体
搭載用基板(10)を得た。

この半導体搭載用基板(10)のリードフレーム(11)
のアイランド部(16)にECL素子(20)をハンダ(21)
によりダイボンディングし、ECL素子(20)のコンタ
クト端子とリードフレーム(11)のインナーリード部(1
2)とをワイヤーボンディングした。そして、リードフ
レーム(11)のアウトリード部(17)を除いて全体を
トランスファーモールドし、半導体搭載装置(1)を得
た。得られた半導体搭載装置(1)のインピーダンスは
50Ωに設定することができた。

このようにして得られた半導体搭載装置(1)は、従
来のものに比し、放熱性、シールド性、及び封止性が優
れたものとなった。

本実施例にあっては、半導体素子(20)をリードフ
レーム(11)のアイランド部(16)にハンダ(21)により
ダイボンディングし、半導体素子(20)のコンタクト端

子とリードフレーム(11)のインナーリード部(12)と
をワイヤーボンディングするようになっていくため、既
存の製造ラインを使って半導体搭載装置(1)の組み立
て作業を行うことができる。

なお、第2図においてリードは各辺に5ピンしか図示
されていないが、実際は各辺に0.5mmピッチで36ピンが
形成されており、全体で144ピンが形成されている。

実施例2

まず、銅からなる金属板にエッチング加工を施すこと
により、各辺0.5mmピッチで36ピンを有し、全体で144ピ
ンを有する所望形状のリードフレーム(11)を形成し
た。

次に、リードフレーム(11)のインナーリード部(1
2)の表面及び裏面に、ポリフェニレンサルファイドか
らなる絶縁層(13)を射出成形した。なお、裏面側の絶
縁層(13)には凹部を形成した。

次に、表面側の絶縁層(13)に、底部がリードフレ
ーム(11)に達する接続穴を形成した後、絶縁層(13)の
表面の略全面に、インナーリード部(12)がストリップ
線路となるよう、銅メッキによりベタパターン(14)を
形成した。また、接続穴に銀ペーストを充填することに
より、ベタパターン(14)とリードフレーム(11)とを
電気的に接続するブラインドスルーホール(15)を形成
し、ベタパターン(14)のうちワイヤーボンディングが
なされる部分にはニッケル/金メッキを施し、本発明に
係る第3図に示すような半導体搭載用基板(10)を得
た。

この半導体搭載用基板(10)のリードフレーム(11)
のアイランド部(16)にECL素子(20)をハンダ(21)
によりダイボンディングし、TTL素子(20)のコンタク
ト端子とリードフレーム(11)のアイランド部(16)或
いはベタパターン(14)とをワイヤーボンディングし
た。そして、表面側に搭載したTTL素子(20)及びボン
ディングワイヤ(22)を囲むレジスタムを形成し、レジ
スタム内をポッティング封止し、アルミリッドで蓋をす
ることにより、半導体搭載装置(1)を得た。得られた
半導体搭載装置(1)のインピーダンスは75Ωに設定す
ることができた。

このようにして得られた半導体搭載装置(1)は、実
施例1のものに比し、さらに放熱性の優れたものとなっ
た。

実施例3

まず、42アロイからなる金属板にエッチング加工を施
すことにより、所望形状のリードフレーム(11)を形成
し、このリードフレーム(11)のインナーリード部(1
2)の表面及び裏面に、アルミナからなる絶縁層(13)
を形成した。

次に、絶縁層(13)及びインナーリード部(12)を貫
通する貫通孔を形成した後、絶縁層(13)の表面の略全
面に、インナーリード部(12)がストリップ線路となる

7

よう、銀パラジウムメッキによりベタパターン(14)を形成するとともに、このベタパターン(14)とリードフレーム(11)とを電気的に接続するスルーホール(15)を形成した。なお、表面側のベタパターン(14)は2分割され、一方のベタパターン(14)を電源、もう一方のベタパターン(14)をグランドとして利用し、両者の間にチップコンデンサを搭載し、本発明に係る第4図に示すような半導体搭載用基板(10)を得た。

得られた半導体搭載用基板(10)は、TTL素子(50MHz)を搭載するものであり、実施例1と同様に、このTTL素子を搭載して半導体搭載装置(1)としたところ、インピーダンスは62.5Ωに設定することができた。

なお、第4図においてリードは各辺に5ピンしか図示されていないが、実際は各辺に0.5mmピッチで52ピンが形成されており、全体で208ピンが形成されている。

(発明の効果)

以上のように本発明に係る半導体素子搭載用基板にあっては、多ピン的高速素子を搭載して半導体搭載装置とした場合であっても、浮遊インダクタンスを小さく抑え、全体のインピーダンスをコントロールすることができる。また、ノイズの発生を抑制することができる。

また、ベタパターンが放熱部材としても作用し、高速素子から発せられる熱を効率良く放熱することができる。(特に、高速素子の裏面側に凹部を形成すればより効果的である。)

さらに、ベタパターンがシールド壁としても作用し、外部からのノイズの侵入を阻止するとともに、外部への*

8

*ノイズの放出を阻止することができ、高速素子を確実にシールドすることができる。

また、ベタパターンは分割してグランドや数種のレベルの電源として利用することができ、ピン数を減少させ、ノイズの影響を受け難いコンパクトな半導体搭載用基板、ひいては半導体搭載装置とすることができる。

さらに、半導体素子の裏面側に分割されないベタパターンを形成すれば、封止性が向上し、信頼性が向上する。

また、ベタパターンとリードフレームとの接続がスルーホールを介してなされるため、ボンディングワイヤによって接続した場合に比し、電気容量を大きく、表面積を増すことができ、放熱性が向上する。

さらに、絶縁層が構造材としても作用するため、必ずしもトランスファーマールドしなくてよい。

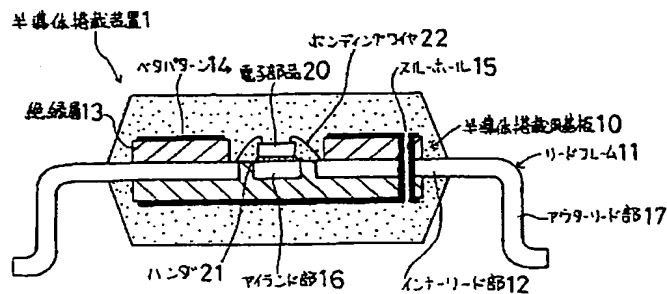
【図面の簡単な説明】

第1図は本発明に係る半導体搭載用基板を用いた半導体搭載装置を示す断面図、第2図は第1図の半導体搭載用基板を示す平面図、第3図は本発明に係る別の半導体搭載用基板を用いた半導体搭載装置を示す断面図、第4図は本発明に係るさらに別の半導体搭載用基板を示す平面図、第5図は従来の半導体搭載用基板を用いた半導体搭載装置を示す断面図である。

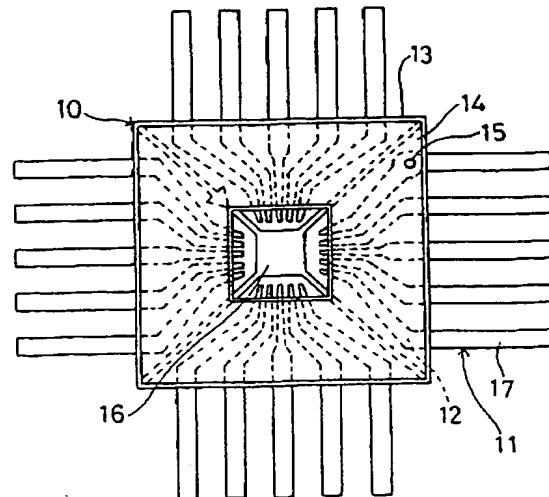
符号の説明

10……半導体搭載用基板、11……リードフレーム、12……インナーリード部、13……絶縁層、14……ベタパターン、15……スルーホール、20……電子部品。

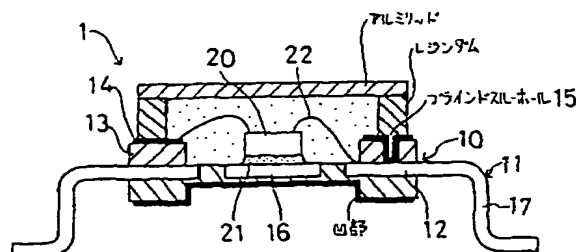
【第1図】



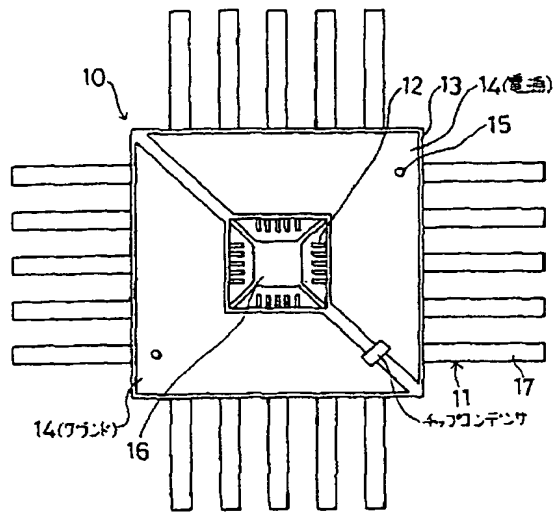
【第2図】



【第3図】



【第4図】



【第5図】

